

DIALOG(R)File 347:JAPIO

(c) 2005 JPO & JAPIO. All rts. reserv.

02713111    \*\*Image available\*\*

OPERATIONAL AMPLIFIER

PUB. NO.:        **01-010711** [JP 1010711 A]

PUBLISHED:      January 13, 1989 (19890113)

INVENTOR(s):    AOKI TETSUO

                 KOBAYASHI OSAMU

                 TAKAHARA KAZUHIRO

APPLICANT(s): FUJITSU LTD [000522] (A Japanese Company or Corporation), JP  
                 (Japan)

APPL. NO.:       62-163897 [JP 87163897]

FILED:           July 02, 1987 (19870702)

INTL CLASS:     [4] H03F-003/45; H03F-001/00; H03M-001/00

JAPIO CLASS:    42.4 (ELECTRONICS -- Basic Circuits)

JAPIO KEYWORD: R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors,  
                 MOS)

JOURNAL:         Section: E, Section No. 751, Vol. 13, No. 184, Pg. 159, April  
                 28, 1989 (19890428)

ABSTRACT

PURPOSE: To reduce the number of operational amplifiers in a device necessitating many sample hold-circuits by providing the operational amplifier itself with a master-slave type sample-hold circuit.

CONSTITUTION: A differential amplification stage 1 accomplishes the function of a master side output buffer for an input signal, and an electronic switch 2, installed between the differential amplification stage 1 and an output stage 3, accomplishes the function of an analog switch. Then, because a capacitor CP for phase compensation accomplishes the function of a data hold capacitor according to ON/OFF of the electronic switch 2, it comes to be the master-slave type sample-hold circuit as a whole. Thus, since the master-slave type sample-hold circuit can be constituted within one operational amplifier, the circuit can be

simplified, and the power consumption of the circuit can be reduced.

?

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭64-10711

⑬ Int. Cl.<sup>4</sup>

H 03 F 3/45

H 03 M 1/00

識別記号

庁内整理番号

A-6658-5J

7827-5J

6832-5J

⑭ 公開 昭和64年(1989)1月13日

審査請求 未請求 発明の数 1 (全6頁)

⑮ 発明の名称 演算増幅器

⑯ 特 願 昭62-163897

⑰ 出 願 昭62(1987)7月2日

⑱ 発 明 者 青 木 哲 雄 神奈川県川崎市中原区上小田中1015番地 富士通株式会社内

⑲ 発 明 者 小 林 修 神奈川県川崎市中原区上小田中1015番地 富士通株式会社内

⑳ 発 明 者 高 原 和 博 神奈川県川崎市中原区上小田中1015番地 富士通株式会社内

㉑ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

㉒ 代 理 人 弁理士 青 木 朗 外3名

明 細 書

1. 発明の名称

演算増幅器

2. 特許請求の範囲

差動増幅段(Ⅰ)と、

この差動増幅段(Ⅰ)の出力に設けられ、外部からの信号によりオン／オフされる電子スイッチ(Ⅱ)と、

この電子スイッチ(Ⅱ)に接続する、位相補償容量を備えた出力段(Ⅲ)と、

から構成される演算増幅器。

3. 発明の詳細な説明

(概 要)

本発明は差動増幅段と位相補償容量を備えた出力段とを有する演算増幅器の、前記差動増幅段と前記出力段の間に電子スイッチを設けて、1つの演算増幅器でマスク・スレーブ機能を実現したものである。

(産業上の利用分野)

本発明は演算増幅器の改良に関する。

一般に、演算増幅器は差動入力を持つ直流高利得増幅器である。演算増幅器は本来はアナログ計算機において加減算や積分等の演算を行うための回路であったが、現在ではIC化され、演算以外にも増幅、発振、波形処理、フィルタ等に広く利用されている。従って、1つの回路において演算増幅器の使用個数が増えており、使用個数を低減することが望まれている。

(従来の技術)

第4図は二つの演算増幅器OP1、OP2を用いた従来のサンプルホールド回路の構成を示すものである。演算増幅器OP1の非反転入力には一端が接地されたコンデンサC1とアナログスイッチS1とが接続されている。そして、この演算増幅器OP1の反転入力には演算増幅器OP1の出力に接続されており、この演算増幅器OP1は電圧フォロウ回路を構成している。また、演算増幅器OP2の非反転入力にはアナログスイッチS2を介して前記演算増幅器OP1の出力に接続されていると共に、コンデンサC2を介

して接地されている。この演算増幅器OP2の反転入力もその出力に接続されており、演算増幅器OP2も電圧フォロウ回路を構成している。

第4図の回路は、例えば入力にビデオ信号のようなデータ電圧を印加し、前記アナログスイッチS1をクロック信号等に同期させてオン/オフさせれば、アナログスイッチのオンによりその時のデータ電圧がコンデンサC1に蓄積され、その電位により演算増幅器OP1に出力電圧が現れるので、データ電圧のクロック信号に応じたサンプリングを行うことができる。この時、アナログスイッチS2、コンデンサC2および演算増幅器OP2による回路は演算増幅器OP1の出力電圧の保持回路として作用する。

第5図は第4図の演算増幅器OP1, OP2の内部回路構成を示すものである。

この例の演算増幅器OP1, OP2はそれぞれ7つのMOS-FET Q1~Q7、抵抗Rおよび位相補償用のコンデンサCPを用いて構成されており、FET Q2のゲートが反転入力、FET Q4のゲートが非反

転入力となっている。また、FET Q1、Q6のドレインは電源V<sub>DD</sub>（例えば10V）に接続され、FET Q1、Q6、Q7のソースは電源V<sub>SS</sub>に（例えば0V）接続されている。また、FET Q1、Q6のゲートにはバイアス電圧Bias（例えば7V）が印加されている。一方、前記アナログスイッチS1, S2は、この例ではC-MOS-FETで構成されたトランSMIッションゲートTGとインバータNTとを備えており、端子T1, T2に単一の制御電圧Vcを印加すると導通状態、電圧Vcの印加を解除すると非導通状態になるようになっている。

#### 〔発明が解決しようとする問題点〕

ところが、従来の演算増幅器を用いてマスク・スレーブ形式のサンプルホールド回路を構成する場合は、第4図に示したように必ず2個の演算増幅器が必要となり、例えば液晶パネルのデータ線の駆動装置のように、多くのサンプルホールド回路が必要な装置においては演算増幅器の使用個数が多くなりコストの増大を招いているという問題

があった。

本発明は、多くのサンプルホールド回路が必要な装置における前記従来の問題点を解消するためになされたものであり、演算増幅器自身にマスク・スレーブ形式のサンプルホールド回路を持たせることにより、多くのサンプルホールド回路が必要な装置における演算増幅器の数を減らすことを目的としている。

#### 〔問題点を解決するための手段〕

前記問題点を解消する本発明の演算増幅器の原理ブロック図が第1図に示される。

本発明の演算増幅器は、反転入力と非反転入力とが接続する差動増幅段1と、この差動増幅段1の出力に設けられ、外部からの信号によりオン/オフされる電子スイッチ2と、この電子スイッチ2に接続する、位相補償容量を備えた出力段3とから構成される。

#### 〔作用〕

本発明の演算増幅器によれば、差動増幅段が入力信号に対するマスク側出力バッファの機能を果たし、差動増幅段1と出力段3との間に設けられた電子スイッチ2がアナログスイッチの機能を果たし、出力段3に備えられた位相補償用コンデンサCPが前記電子スイッチ2のオン/オフに応じてデータ保持コンデンサの機能を果たすことにより、全体としてマスク・スレーブ形式のサンプルホールド回路となる。

#### 〔実施例〕

以下添付図面を用いて本発明の実施例を詳細に説明する。

第2図(a)、(b)は本発明の演算増幅器の一実施例を示す回路図であり、第4図、第5図の従来の部品と同じ部品に同じ符号を付してある。

第2図(a)は本発明の演算増幅器OPを用いたマスク・スレーブ形式のサンプルホールド回路の構成を示すものである。演算増幅器OPの非反転入力に

は従来回路同様に一端が接地されたコンデンサC1とアナログスイッチS1とが接続されており、反転入力はこの演算増幅器OPの出力に接続されている。更に、本発明の演算増幅器OPには、信号入力端子Tが設けられており、この端子Tへの信号の印加により演算増幅器OPにマスタ・スレーブ形式のサンプルホールド機能を持たせることができる。

第2図(b)は同図(a)の演算増幅器OPの内部回路構成の一実施例を示すものである。

この例の演算増幅器OPはその内部が差動増幅段(マスタ側出力バッファ)1と出力段(スレーブ側出力バッファ)3に分かれており、差動増幅段1の出力と出力段3の入力とはアナログスイッチ2を介して接続されている。前記差動増幅段1は5つのMOS-FET Q1~Q5から構成され、前記出力段3は2つのMOS-FET Q6, Q7、抵抗Rおよび位相補償用のコンデンサCPを用いて構成されている。そして、前記FET Q2のゲートが演算増幅器OPの反転入力、FET Q4のゲートが非反転入力となっている。また、FET Q1、Q6のドレイン

は電源V<sub>DD</sub>に接続され、FET Q1、Q6、Q7のソースは電源V<sub>SS</sub>に接続されている。また、FET Q1、Q6のゲートにはバイアス電圧Biasが印加されている。

一方、前記アナログスイッチ2は、この例ではC-MOS-FETで構成されたトランスミッションゲートTGとインバータNTとを備えており、演算増幅器OPの外部に設けられた端子Tに電源V<sub>DD</sub>と同電位の電圧V<sub>1</sub>(例えば0V)を印加すると導通状態、電源V<sub>DD</sub>と同電位の電圧V<sub>2</sub>(例えば10V)を印加すると非導通状態になるようになっている。

また、前記演算増幅器OPの非反転入力に接続されたアナログスイッチS1は従来と同様の構成をしており、この例ではC-MOS-FETで構成されたトランスミッションゲートTGとインバータNTとを備えている。そして、端子T1に前記電圧V<sub>1</sub>を印加すると導通状態、前記電圧V<sub>2</sub>を印加すると非導通状態になるようになっている。

次に第2図のように構成された本発明の演算増幅器OPの動作を説明する。第2図の回路には、例

えば入力にビデオ信号のようなデータ電圧を印加し、前記アナログスイッチS1をクロック信号等に同期させてオン/オフさせれば、アナログスイッチS1のオンによりその時のデータ電圧がコンデンサC1に蓄積され、データ電圧のクロック信号に応じたサンプリングを行うことができる。コンデンサC1の電位は前記演算増幅器OPの差動増幅段1に入力され、その結果、差動増幅段1の出力点Aには演算増幅器OPの出力にコンデンサC1に保持されたレベルを出力するためトランジスタQ7をバイアスする電位が現れる。

この時、前記演算増幅器OPの外部に設けられた端子Tに電圧V<sub>1</sub>を印加すれば、アナログスイッチ2は導通状態になり、前記差動増幅段1の出力点Aの電位をサンプリングすることになる。即ち、前記差動増幅段1の出力点Aの電位はアナログスイッチ2を介してサンプリングされ、前記出力段3の位相補償用コンデンサCPに蓄積される。一方、この位相補償用コンデンサCPに電荷が蓄積された状態で電圧V<sub>2</sub>を印加すると、アナログスイッチ

2は非導通状態になる。すると、前記出力段3の入力がフローティングになるため、位相補償用コンデンサCPによってサンプリングされた電圧レベルはホールドされる。

このように、本発明の演算増幅器OPではアナログスイッチS1によってサンプリングされた電位を、演算増幅器OPに設けた端子Tへの電圧の印加によって演算増幅器OPの出力にホールドすることができる。よって、本発明の演算増幅器OPによれば、演算増幅器1個でマスタ・スレーブ形式のサンプルホールド回路を構成することができ、回路の簡素化、低電力化を図ることができる。

第3図は本発明の演算増幅器OPの他の実施例の回路構成を示すものである。この実施例では前記差動増幅段1と出力段3との間に介装するアナログスイッチ2に2連のトランスミッションゲートTG1, TG2を使用している。トランスミッションゲートTG1は差動増幅段1の出力点Aと出力段3の位相補償用コンデンサCPとを接続しているが、トランスミッションゲートTG2は差動増幅段1の出

力点Aを差動増幅段1のFET Q2のドレイン（差動増幅段1の他の出力点B）とを接続している。

そして、前記演算増幅器OPの外部に設けられた端子Tに電圧V<sub>1</sub>を印加した時に、トランスミッションゲートTG1は第2図の実施例同様に導通状態になるが、トランスミッションゲートTG2は非導通状態になるようになっている。また、電圧V<sub>2</sub>を印加すると、逆に、トランスミッションゲートTG1は非導通状態になるが、トランスミッションゲートTG2は導通状態になるようになっている。

アナログスイッチ2を以上のように構成すると、トランスミッションゲートTG1がオフ状態で、出力段3の位相補償用コンデンサCPによって電圧レベルがホールド状態の時に、トランスミッションゲートTG2はオン状態であるので、差動増幅段1の出力点Aの電圧レベルが他の出力点Bに戻されることになり、出力点Aのレベルが振り切れないで一定のレベルになる。

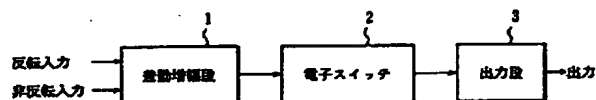
#### 〔発明の効果〕

以上説明したように本発明の演算増幅器によれば、1つの演算増幅器でマスタ・スレーブ形式のサンプルホールド回路を構成することができるので、回路の簡素化、回路の消費電力の低減化を図ることができるという効果がある。

#### 4. 図面の簡単な説明

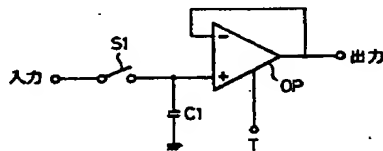
第1図は本発明の演算増幅器の原理ブロック図、第2図(a)は本発明の演算増幅器の実例の使用例を示す図、第2図(b)は本発明の演算増幅器の内部構成の一実施例を示す回路図、第3図は本発明の演算増幅器の内部構成の他の実施例を示す回路図、第4図は従来の演算増幅器で第2図(a)の回路を構成した回路図、第5図は第4図の演算増幅器の内部回路構成図である。

1…差動増幅段、2…電子スイッチ（アナログスイッチ）、3…出力段、CP…位相補償用コンデンサ、OP1, OP2…従来の演算増幅器、OP…本発明の演算増幅器、Q1～Q7…FET、S1, S2…アナログスイッチ、T1, T2, T…入力端子。



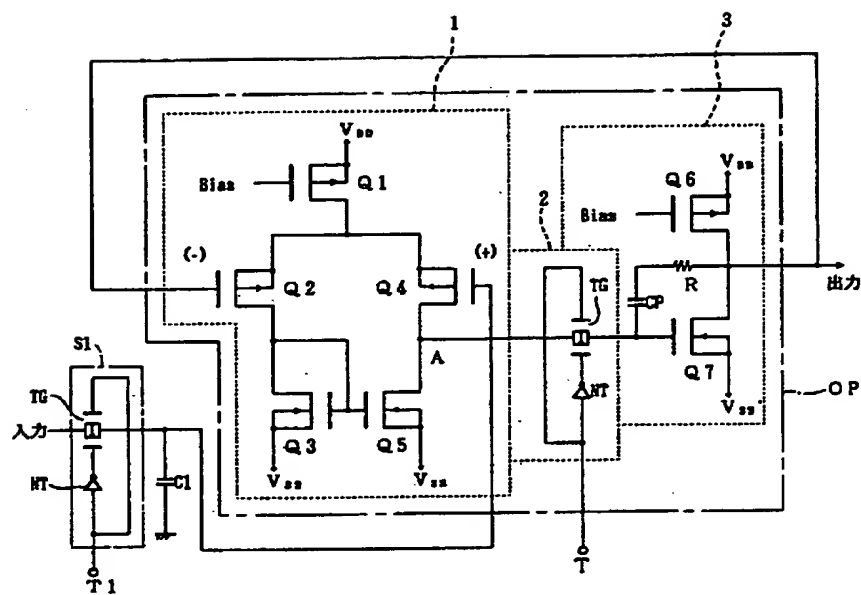
本発明の原理ブロック図

第1図



(a) 本発明

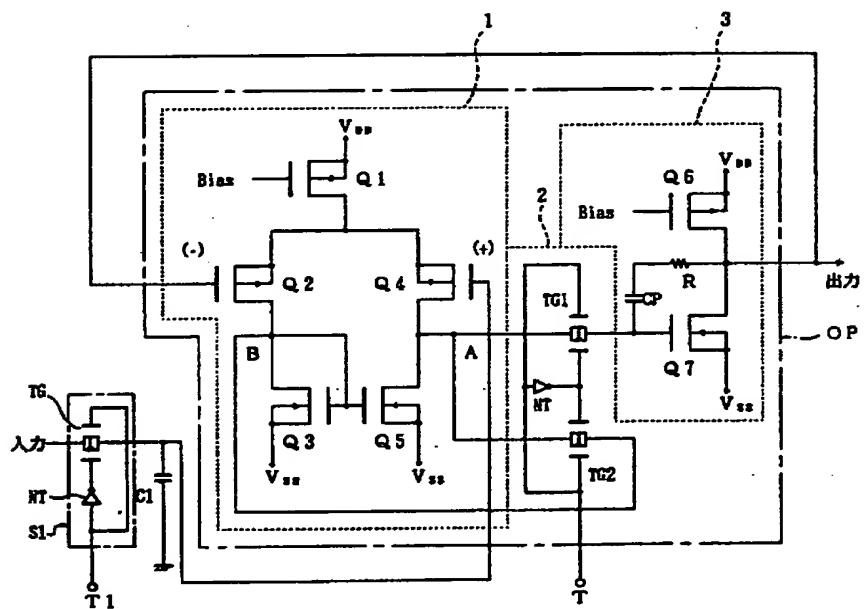
第2図



本発明の実施例の演算増幅器の回路図

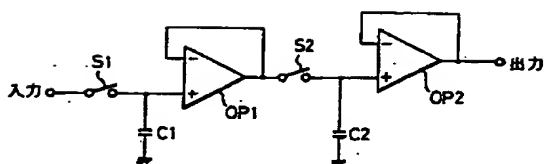
(b)

第2図



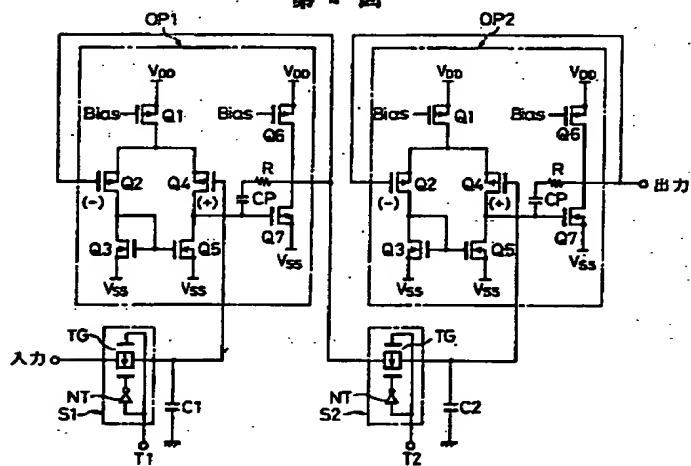
本発明の他の実施例の演算増幅器の回路図

第3図



演算増幅器を用いた従来の回路例

第 4 図



第 4 図の演算増幅器の内部回路構成

第 5 図